

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: KOJI SUZUKI)
FOR: THIN FILM TRANSISTOR)

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Enclosed herewith is a certified copy of Japanese Patent Application No. 2002-181491 filed on June 21, 2002 and Japanese Patent Application No. 2002-181492 filed on June 21, 2002. The enclosed Applications are directed to the invention disclosed and claimed in the above-identified application.

Applicant hereby claims the benefit of the filing date of June 21, 2002, of the Japanese Patent Application No. 2002-181491 and of June 21, 2002, of the Japanese Patent Application No. 2002-181492, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: 

Lisa A. Bongiovi
Registration No. 48,933
Cantor Colburn LLP
55 Griffin Road South
Bloomfield, CT 06002
Telephone: (860) 286-2929
Customer No. 23413

Date: June 19, 2003

Translation of Priority Certificate

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: June 21, 2002

Application Number: Patent Application No. 2002-181492
[ST.10/C] [JP2002-181492]

Applicant(s): SANYO ELECTRIC CO., LTD.

April 11, 2003

Commissioner, Shinichiro OTA
Japan Patent Office

Priority Certificate No. 2003-3026130

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月21日

出 願 番 号

Application Number:

特願2002-181492

[ST.10/C]:

[JP2002-181492]

出 願 人

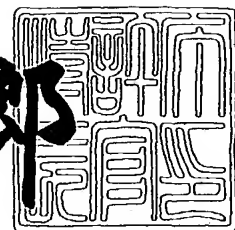
Applicant(s):

三洋電機株式会社

2003年 4月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3026130

【書類名】 特許願

【整理番号】 RSL1020050

【提出日】 平成14年 6月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/461

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 鈴木 浩司

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話03-3837-7751 知的財産センター 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ及び薄膜トランジスタの製造方法

【特許請求の範囲】

【請求項 1】 基板と、前記基板上に設けられた半導体膜と、前記半導体膜を覆うゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、ゲート電極を覆う層間絶縁膜と、を有し、

前記ゲート電極の断面は、フッ素を含むガスまたはフッ素及び酸素を含む混合ガスを用いたエッチング、ならびに塩素及び酸素を含む混合ガスを用いたエッチングによって形成された、前記層間絶縁膜から前記ゲート絶縁膜方向に向かって広くなるテーパ形状を成すことを特徴とする薄膜トランジスタ。

【請求項 2】 前記半導体膜は、前記ゲート絶縁膜を介して不純物が注入されたソース領域及びドレイン領域を有することを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 3】 前記ゲート絶縁膜は、 SiN 及び / または SiO_2 を含むことを特徴とした請求項 1 または請求項 2 に記載の薄膜トランジスタ。

【請求項 4】 基板上に半導体膜を形成する工程と、前記半導体膜の全面を覆ってゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体膜にソース領域及びドレイン領域を形成する工程と、前記ゲート電極上に層間絶縁膜を形成する工程とを有する薄膜トランジスタの製造方法において、

前記ゲート電極を形成する工程は、

前記ゲート絶縁膜上に電極材料層を積層する工程と、前記電極材料層上にマスクパターンを形成する工程と、

フッ素を含むガスまたはフッ素及び酸素を含む混合ガスを用いて、前記マスクパターンをマスクとして前記電極材料層を少なくとも一部を残してエッチングする第 1 のエッチング工程と、

塩素及び酸素を含む混合ガスを用いて、前記電極材料層をエッチングする第 2 のエッチング工程と、

を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項5】前記ソース領域及びドレイン領域を形成する工程は、前記半導体膜に前記ゲート絶縁膜を介して不純物を注入する工程を含むことを特徴とする請求項4に記載の薄膜トランジスタの製造方法。

【請求項6】前記ゲート絶縁膜を形成する工程は、 SiN 及び／または SiO_2 膜を形成する工程を含むことを特徴とした請求項4及び請求項5に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（Thin Film Transistor；以降TFTと略す。）及びその製造方法に関する。

【0002】

【従来の技術】

TFTをゲート電極の位置で分類すると、半導体膜より上にゲート電極が設けられたトップゲート型と、半導体膜より下にゲート電極が設けられたボトムゲート型がある。トップゲート型のTFTにおいては、ソースとドレインの形成において、ゲート電極をマスクとし、ゲート絶縁膜を介して半導体膜に不純物イオンを注入するというセルフアライメント方式をとることができる。

【0003】

以下、図3を用いて一般的なトップゲート型TFTの構造を説明する。

【0004】

図3（a）はTFTの平面図であり、図3（b）は図3（a）のX-X断面図である。ガラス等からなる透明基板11上に SiN （窒化シリコン）及び／または SiO_2 （酸化シリコン）からなる絶縁膜12が積層され、その上に島状の多結晶シリコン膜13が形成されている。前記絶縁膜12及び多結晶シリコン膜13の上に、 SiN_2 及び／または SiO_2 からなるゲート絶縁膜14が積層されている。さらに、前記ゲート絶縁膜14上には、多結晶シリコン膜13と交差するように、Mo等からなるゲート電極15が形成され、その上から、ゲート電極15を覆うようにして SiN 及び／または SiO_2 からなる層間絶縁膜16が積層

されている。

【0005】

多結晶シリコン膜13には、不純物イオンの注入によってソース領域13s及びドレイン領域13dが形成されており、その両領域の間をチャネル領域13cとしている。そして、ソース電極及びドレイン電極17がゲート絶縁膜14及び層間絶縁膜16を通してソース電極13s及びドレイン領域13dに接続している。

【0006】

このようなTFTは、表示素子や受光素子等に適している。表示素子に用いる場合、TFTをマトリクス配置し、ソース電極またはドレイン電極の一方に表示電極を接続し、他方に信号源または電力源を接続する。

【0007】

【発明が解決しようとする課題】

層間絶縁膜16のステップカバレッジを良好にするために、ゲート電極15の断面がテーパ形状になるようにする。このテーパ形状の形成方法としては、電極材料層にMo、MoW、W等の金属材料を用いる場合、レジストマスクの形成後、フッ素系ガスであるSF₆（フッ化硫黄）及びO₂（酸素）の混合ガス（以降SF₆/O₂と略す）を用いてエッチングする。

【0008】

しかしながら、SF₆/O₂でエッチングした場合、ゲート絶縁膜の一部までエッチングされてしまう。これは、SF₆/O₂に対するゲート電極のエッチングレートとゲート電極の下に形成されたSiN、SiO₂からなるゲート絶縁膜のエッチングレートの比である選択比が非常に小さいため、電極材料層だけでなくゲート絶縁膜もエッチングされてしまうからである。ゆえに、ゲート絶縁膜の残膜量にばらつきが生じ、後で半導体膜に不純物イオンを注入する際に、多結晶シリコン膜に導入される不純物イオンの量が不均一になり、TFT特性が不安定になるという問題があった。また、多結晶シリコン膜はその上のゲート絶縁膜に比べて薄いため、ゲート絶縁膜の残膜量に応じて半導体膜に不純物イオンを注入するためのエネルギーを変えて、注入する不純物イオン量を一定にすることは非常に

難しい。

【 0 0 0 9 】

【課題を解決するための手段】

本発明は以上の点に鑑みてなされたものであり、各請求項に係る発明は以下の特徴を有する。

【 0 0 1 0 】

第1に、基板と、前記基板上に設けられた半導体膜と、前記半導体膜を覆うゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、ゲート電極を覆う層間絶縁膜と、を有し、

前記ゲート電極の断面は、フッ素を含むガスまたはフッ素及び酸素を含む混合ガスを用いたエッチングならびに塩素及び酸素を含む混合ガスを用いたエッチングによって形成された、前記層間絶縁膜から前記ゲート絶縁膜方向に向かって広がるテーパー形状を成すことを特徴とする。

【 0 0 1 1 】

第2に、基板上に半導体膜を形成する工程と、前記半導体膜の全面を覆ってゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体膜にソース領域及びドレイン領域を形成する工程と、前記ゲート電極上に層間絶縁膜を形成する工程とを有する薄膜トランジスタの製造方法において、

前記ゲート電極を形成する工程は、

前記ゲート絶縁膜上に電極材料層を積層する工程と、前記電極材料層上にゲート電極形状に対応したマスクパターンを形成する工程と、

フッ素を含むガスまたはフッ素及び酸素を含む混合ガスを用いて、前記マスクパターンをマスクとして前記電極材料層を少なくとも一部を残してエッチングする第1のエッチング工程と、

塩素及び酸素を含む混合ガスを用いて、前記電極材料層をエッチングする第2のエッチング工程と、

を含むことを特徴とする。

【 0 0 1 2 】

【発明の実施の形態】

図1は、本発明であるTFTの1つの実施形態を示す断面図である。以降、この図を用いて、本実施例のTFTの構造について説明する。

【0013】

ガラス等からなる透明基板1上にSiN及びSiO₂がこの順に積層され、絶縁膜2を構成し、その上に多結晶シリコン膜3が形成されている。この多結晶シリコン膜3の形成方法については、CVD法により直接多結晶シリコン膜を形成する方法や、一旦非晶質シリコン膜を形成し、この非晶質シリコン膜を結晶化することによって多結晶シリコン膜を形成する方法が知られている。後者の方法では、低温プロセスを用いることができるため、透明基板1として低融点ガラスを使用することが可能である。

【0014】

前記絶縁膜2及び多結晶シリコン膜3の上には、SiO₂及びSiNがこの順に積層され、ゲート絶縁膜4を構成している。さらに、前記ゲート絶縁膜4上には、多結晶シリコン膜3と重なるように、Mo等からなるゲート電極5が形成され、その上から、ゲート電極5を覆うようにしてSiN及びSiO₂がこの順に積層され、層間絶縁膜6を構成している。

【0015】

多結晶シリコン膜3には、ゲート絶縁膜を介して不純物イオンを注入することによってソース領域3s及びドレイン領域3dが形成されており、その両領域の間をチャネル領域3cとしている。そして、ソース電極及びドレイン電極7がゲート絶縁膜4及び層間絶縁膜6を通してソース電極3s及びドレイン領域3dと接続している。

【0016】

本発明の特徴とするところは、ゲート電極5が、2段階のエッチング工程によって形成された、断面形状がゲート絶縁膜側で広くなるテーパー形状の断面を有することにある。このようなゲート電極5の形成方法について説明すると、まず、ゲート絶縁膜4上に積層した電極材料層25の上に所望のゲート電極のパターンに合わせてレジストを形成する。次に、そのレジストをマスクとし、SF₆/

O_2 を用いて、電極材料層25の一部を残して第1のエッチングをする。続いて、電極材料層25とゲート絶縁膜の選択比が高い Cl_2 （塩素）及び O_2 の混合ガス（以降 Cl_2/O_2 と略す）を用いてレジストをアッシングしながらエッチングすることによって、テーパー形状を有するゲート電極5が形成される。ここで、第1のエッチングでは、エッチングすべき電極材料層25の一部を残してエッチングし、第2のエッチングでは、エッチングすべき残りの電極材料層を選択的にエッチングするため、電極材料層25の下地であるゲート絶縁膜4があまりエッチングされない。つまり、ゲート絶縁膜の膜厚のばらつきが小さくなる。ゆえに、前述したようなゲート絶縁膜を介した不純物イオンの注入の際に、多結晶シリコン膜3に注入されるイオンの量のばらつきも押さえられ、安定した動作特性を有するTFTを提供することができる。

【0017】

以上の構造を有する本実施例のTFTは、従来のTFTと同様に表示素子や受光素子に用いることができる。

【0018】

図2(a)～(d)は、本発明であるTFT製造方法の1つの実施形態を示す製造工程別の断面図である。以降、この図を用いて、本実施例のTFTの構造について説明する。なお、図2において図1と同じ番号のものは同一であることを示している。

【0019】

図2(a)は第1の工程における断面図である。この工程では、まず、透明基板1上に SiN 及び SiO_2 を順に積層して絶縁膜2を形成し、次に、多結晶シリコン膜3を形成する。多結晶シリコン膜3の形成方法としては、非晶質シリコンを絶縁膜2上に積層し、その非晶質シリコンにアニール処理をして結晶化させることにより多結晶シリコン膜とし、それをパターニングする方法や、非晶質シリコンを絶縁膜2上に積層し、パターニングした後にアニール処理をして多結晶シリコンとする方法等がある。

【0020】

図2(b)は第2の工程における断面図である。この工程では、まず、絶縁膜

2上及び多結晶シリコン膜3上に SiO_2 及び SiN からなる絶縁膜4を積層する。次に、 Mo からなる電極材料層25を積層し、その上にゲート電極を形成するためのレジスト8が形成される。

【0021】

図2(c)は第3の工程における断面図である。本図においては、ゲート絶縁膜4、電極材料層25及びレジスト8の部分が拡大されている。この工程では、電極材料層を SF_6/O_2 を用いてプラズマエッチングする。 SF_6/O_2 は電極材料層と下地であるゲート絶縁膜との選択比が低い（選択比：5前後）ので、エッチングが完了する前の状態、すなわち、エッチングによって電極材料層25の下地のゲート絶縁膜4が露出される前の状態で、この工程におけるエッチングを終了する。

【0022】

ここで、 SF_6 のみを用いても同様にエッチングすることができるが、 O_2 を添加することによりエッチングレートが高まるので、より早くエッチングするには SF_6/O_2 を用いると良い。しかし、 O_2 はエッチングレートを上げる作用があると同時に、レジストをアッシングするという作用ももたらす。この第1のエッチング工程において、レジスト8をアッシングしてしまうと、テーパの制御がしにくくなる。ゆえに、エッチングレートを高め、且つレジスト8をあまりアッシングしないようにするためには、 SF_6/O_2 の混合割合を約1：1にすることが望ましい。

【0023】

図2(d)は第4の工程における断面図である。本図は、図2(c)と同じ部分を拡大したものである。この工程では、まず、前の工程で残された電極材料層25を Cl_2/O_2 を用いてプラズマエッチングする。 Cl_2/O_2 における電極材料層とゲート絶縁膜との選択比は30以上であるため、電極材料層を選択的にエッチングすることができる。さらに、 O_2 によってレジストが徐々にアッシングされるので、形成するゲート電極にテーパ形状をもたせることができる。このテーパ形状は、 Cl_2/O_2 の混合割合及び／またはエッチング装置のプラズマ源の出力によって所望の角度をつけることができる。なお、この工程においては

、 Cl_2 と O_2 の混合割合を約1:1とし、テーパの角度は15度～60度程度とするのが好ましい。

【0024】

続いて、ゲート電極5をマスクにして、形成すべきトランジスタのタイプに対応する不純物イオン、つまりP型またはN型のイオンをセルフアライメント注入する。Pチャンネル型のトランジスタを形成する場合はB（ホウ素）等のP型イオンを注入し、Nチャンネル型の場合はP（リン）等のN型イオンを注入する。この注入により、ゲート電極5と重なっている多結晶シリコン膜3の両側にドレイン領域3dとソース領域3sが形成され、その間の領域がチャネル領域3cとなる。なお、先に述べた2つのエッチング工程によってゲート絶縁膜の残膜量を正確に制御できるため、不純物イオンを均一に注入することができ、安定した動作特性を有するTFTが得られる。

【0025】

不純物イオン注入後、ゲート絶縁膜4上及びゲート電極5上に層間絶縁膜6を積層する。次に、層間絶縁膜6のソース領域3s及びドレイン領域3dに対応する領域に、層間絶縁膜6及びゲート絶縁膜4を貫通してコンタクトホールを形成し、そこに金属等を充填することによってソース領域3s及びドレイン領域3dと接続するソース電極7及びドレイン電極7を形成する。

【0026】

なお、 Cl_2/O_2 を用いてエッチングを行う場合、エッチングの結果生じる MoCl_6 は揮発性が悪いため、反応室内に MoCl_6 が付着することにより反応室が汚染されるという問題が生じる。しかし、前記第1の工程において SF_6/O_2 を用いて電極材料層の大半をエッチングするため、 Cl/O_2 によるエッチング量は少量で済み、汚染の度合いも低い。

【0027】

さらに、 SF_6/O_2 によるエッチングをしたときに生成される MoF_6 は揮発性が良いため、反応室が汚染されない。ゆえに、前記第3の工程及び第4の工程を同じ反応室内で繰り返し行うことにより、前記第4の工程で生じた少量の MoCl_6 を次のTFTに対する前記第3の工程で生成された MoF_6 が MoCl_6 を

ともなって揮発するので、汚染された反応室内をクリーニングする効果がある。この効果は第4の工程で処理する膜厚を薄くする、つまり、第3の工程でできるだけ厚く、多くエッチングすると特に顕著である。

【0028】

以上より、図1に示す構造を有するTFTが製造される。

【0029】

本発明は本実施例に限られるものではなく、様々な変更が可能である。例えば、TFTを構成する材料等について、透明基板はガラス基板のほかに石英ガラスでも良く、不透明な基板を用いても良い。絶縁膜2、ゲート絶縁膜4及び層間絶縁膜6は、これらを構成する材料であるSiN及びSiO₂のどちらか一方、もしくはその他の絶縁膜材料を用いても良く、積層順番を変えることもできる。電極材料層25にはMo以外にMoW、W等の高融点金属を用いても良い。TFTを構成する各層を形成する方法はプラズマCVD法でも良い。また、ゲート電極形成のためのエッチングに使用するガスは、SF₆の代わりにCF₄等、エッチングによって生成するMo含有化合物の揮発性が良いフッ素系のガスを用いても良く、Cl₂の代わりにHCl等、ゲート電極材料層とゲート絶縁膜との選択比の良い塩素系のガスを用いることもできる。さらに、2つのエッチング工程は別の反応室で行っても良い。

【0030】

【発明の効果】

以上、本発明によれば、選択比の低いSF₆/O₂を用いて電極材料層の大半をエッチングし、残りを選択比の高いCl₂/O₂を用いてエッチングするという2段階のエッチング工程を経ることにより、電極材料層を選択的にエッチングでき、且つ所望のテーパー形状を有するゲート電極が形成できるため、ゲート絶縁膜の厚みのばらつきが押さえられ、後の不純物イオン注入工程において、活性層となるシリコン層に対して均一にイオン注入できるという効果を奏する。ゆえに、ステップカバレッジが良く、且つ安定した動作特性を有する薄膜トランジスタを提供できる。また、Cl₂/O₂を用いたエッチングによって反応室内が汚染されても、続いてSF₆/O₂を用いてエッチングすることにより、自動的に反応室内

をクリーニングすることができる。

【図面の簡単な説明】

【図1】本発明における薄膜トランジスタの実施形態を示す断面図

【図2】本発明における薄膜トランジスタの製造工程別の断面図

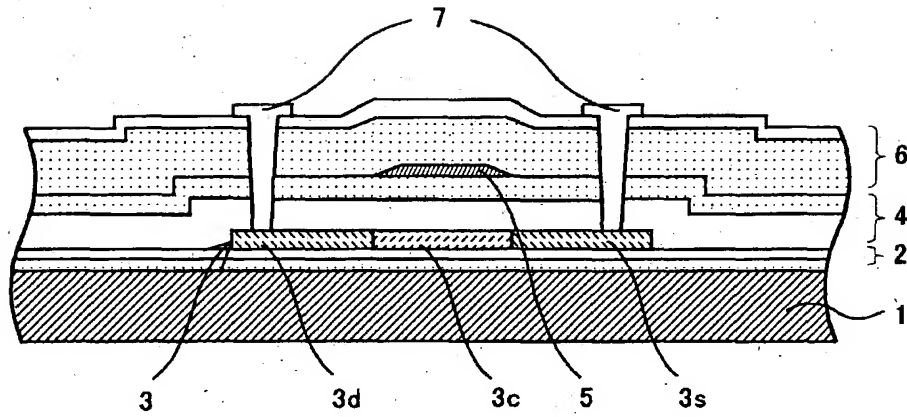
【図3】従来の薄膜トランジスタの構造を示す図

【符号の説明】

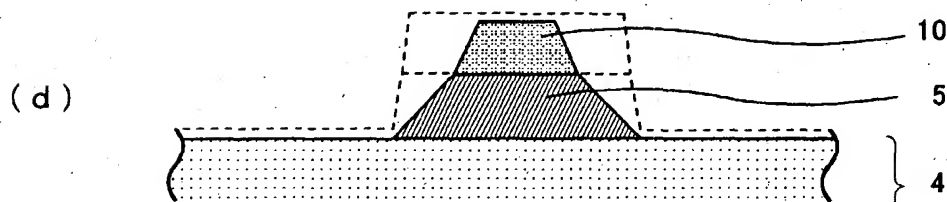
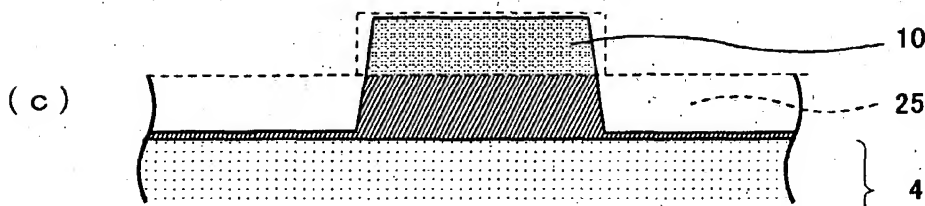
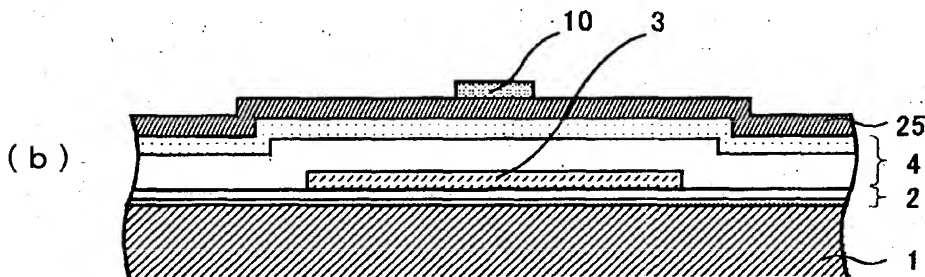
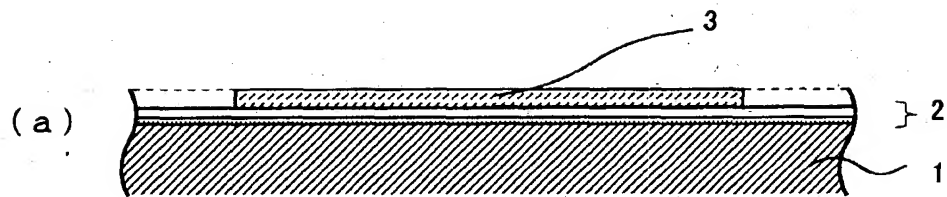
1、11	透明基板
2、4、6、12、14、16	絶縁膜
3、13	多結晶シリコン膜
3c、13c	チャネル領域
3d、13d	ドレイン領域
3s、13s	ソース領域
5、15	ゲート電極
7、17	ソース電極、ドレイン電極
8	レジスト
25	電極材料層

【書類名】 図面

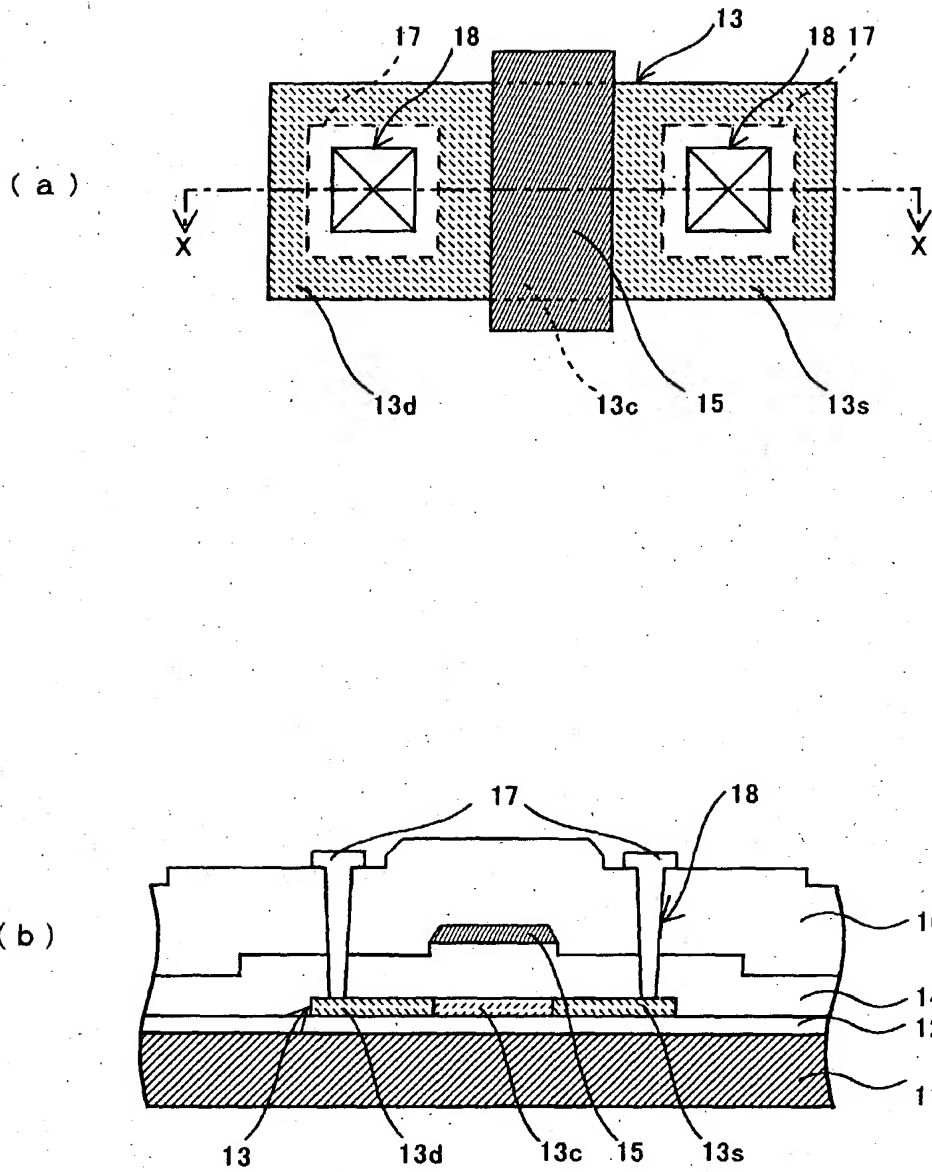
【図 1】



【図2】



【図3】



【書類名】 要約書

【要約】

【課題】 ゲート電極がテーパー形状を有するようにエッチングするための SF_6/O_2 は、電極材料層とその下地であるゲート絶縁膜の選択比が悪いため、ゲート絶縁膜までエッチングされる。その結果、ゲート絶縁膜の残膜量がばらつき、製造された薄膜トランジスタの動作特性が安定しないという問題があった。

【解決手段】 電極材料積層後、 SF_6/O_2 をエッチングガスとして、ゲート材料 25 がエッチングされ、下地のゲート絶縁膜が露出する直前までエッチングする（図 2（c））。続いて、選択比の良い Cl_2/O_2 をエッチングガスとして、レジスト 10 をアッシングしながら残りの電極材料層 25 をエッチングする（図 2（d））。以上の 2 段階のエッチング工程により、所望のテーパー形状をもたせたゲート電極 5 を形成することができる。

【選択図】 図 2

出願人履歴情報

識別番号

[000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社